

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-303141

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H01L 21/28
H01L 21/28
H01L 21/318
H01L 29/78
H01L 21/336

(21)Application number : 09-125009

(71)Applicant : SONY CORP

(22)Date of filing : 28.04.1997

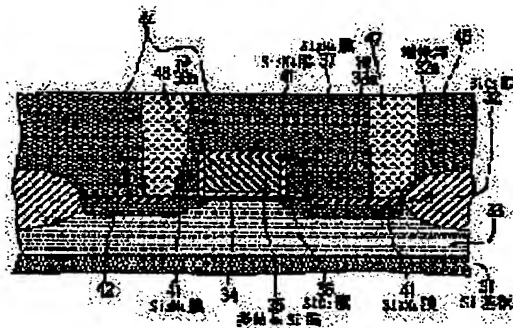
(72)Inventor : SUENAGA ATSUSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the need for a contact compensating process and, in addition, the matching margin of an element activating area by preventing the etching of a gate oxide film even when an oxide film is sufficiently etched.

SOLUTION: In a semiconductor device, a side-wall insulating film has an SiO₂ film 36 and Si₃N₄ films 37 and 41 covering the film 36 and the Si₃N₄ film 41 covers the side edge section 32a of an SiO₂ film 32. Therefore, the infiltration of an etchant to the SiO₂ film 34 which is formed as a gate oxide film can be prevented by the Si₃N₄ films 37 and 41. In addition, even when misalignment occurs in forming a contact hole 46, the etching of the side edge section 32a can be prevented, because the Si₃N₄ film 41 works as a stopper.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 303141

(43) 公開日 平成 10 年 (1998) 11 月 13 日

(51) Int. Cl. [°]	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/28			H01L 21/28	E
	301			T
21/318			21/318	M ₂
29/78			29/78	P
21/336				G
審査請求 未請求 請求項の数 4 F D (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平 9 - 125009

(22) 出願日 平成 9 年 (1997) 4 月 28 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 末永 淳

東京都品川区北品川 6 丁目 7 番 35 号
ソニー株式会社内

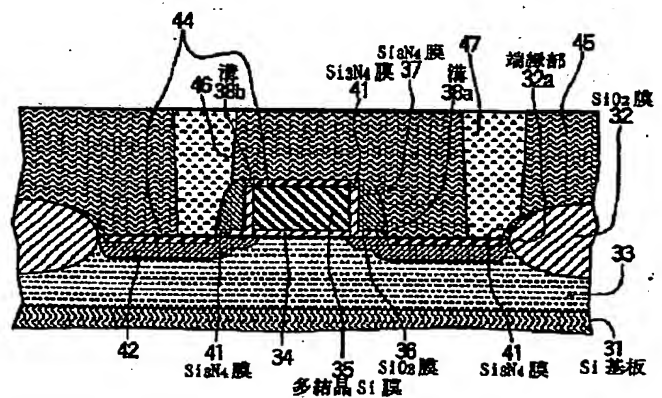
(74) 代理人 弁理士 土屋 勝

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 酸化膜を十分にエッチングしてもゲート酸化膜のエッチングを防止し、コンタクト補償工程を不要にし、素子活性領域の合わせ余裕も不要にする。

【解決手段】 SiO_2 膜 36 とこの SiO_2 膜 36 を覆っている Si_3N_4 膜 37、41 とを側壁絶縁膜が有しており、 SiO_2 膜 32 の端縁部 32a を Si_3N_4 膜 41 が覆っている。このため、ゲート酸化膜である SiO_2 膜 34 へのエッチング薬液の浸潤を Si_3N_4 膜 37、41 で防止することができる。また、コンタクト孔 46 を開孔する際に合わせずれが生じて、 Si_3N_4 膜 41 がストッパになって、端縁部 32a のエッチングが防止される。



【特許請求の範囲】

【請求項 1】 ゲート電極の側面と前記ゲート電極の側部における半導体基板の表面とを覆う側壁絶縁膜が、少なくとも前記表面に接している酸化膜と、この酸化膜を覆っている窒化膜とを有していることを特徴とする半導体装置。

【請求項 2】 フィールド酸化膜のうちで素子活性領域に臨む端縁部を窒化膜が覆っていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 ゲート電極の側面と前記ゲート電極の側部における半導体基板の表面とに接する酸化膜と、この酸化膜の前記側面及び前記表面とは反対の面に接する第 1 の窒化膜とを形成する工程と、前記酸化膜に等方性エッチングを施して、前記第 1 の窒化膜と前記半導体基板との間及び前記第 1 の窒化膜と前記ゲート電極との間に溝を形成する工程と、前記等方性エッチングの後に、第 2 の窒化膜を堆積させて前記溝を埋める工程と、前記第 2 の窒化膜に異方性エッチングを施して、前記溝内に前記第 2 の窒化膜を残す工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 4】 素子活性領域に臨む端縁部が段差部になっているフィールド酸化膜を形成する工程と、前記異方性エッチングによって前記端縁部を覆う前記第 2 の窒化膜を残す工程とを具備することを特徴とする請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願の発明は、ゲート電極に側壁絶縁膜が設けられている半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】 MOS トランジスタ等の半導体装置を微細化、高速化するためには、半導体基板に形成されている不純物領域や半導体膜から成るゲート電極の寄生抵抗を低減させる必要があり、そのために、不純物領域及びゲート電極の各々の表面に、高融点金属シリサイド膜等の様な半導体と金属との化合物膜を形成する構造が考えられている。

【0003】 図 5 は、上述の構造を有する MOS トランジスタ及びその製造方法の第 1 従来例を示している。この第 1 従来例では、図 5 (a) に示す様に、Si 基板 11 の表面にフィールド酸化膜としての SiO₂ 膜 12 を形成し、Si 基板 11 にウェル 13 を形成する。そして、SiO₂ 膜 12 に囲まれている素子活性領域の表面にゲート酸化膜としての SiO₂ 膜 14 を形成した後、多結晶 Si 膜 15 から成るゲート電極と SiO₂ 膜 16 から成る側壁絶縁膜とを順次に形成する。

【0004】 次に、図 5 (b) に示す様に、ソース・ドレイン領域としての不純物領域 17 を形成した後、Si

基板 11 及び多結晶 Si 膜 15 の各々の表面の自然酸化膜（図示せず）をフッ酸系の薬液でエッチングする。そして、高融点金属膜（図示せず）を全面に堆積させ、Si 基板 11 及び多結晶 Si 膜 15 と高融点金属膜とを反応させて高融点金属シリサイド膜 18 を形成する。

【0005】 自然酸化膜の除去によって、Si 基板 11 及び多結晶 Si 膜 15 と高融点金属膜との反応が促進されて、低抵抗で安定な高融点金属シリサイド膜 18 が形成される。その後、SiO₂ 膜 12、16 上に未反応のまま残っている高融点金属膜を除去して、Si 基板 11 及び多結晶 Si 膜 15 の各々の表面に自己整合的に高融点金属シリサイド膜 18 を形成する。そして、更に、層間絶縁膜（図示せず）等を形成して、この MOS トランジスタを完成させる。

【0006】 図 6 は、上述の構造を有する MOS トランジスタ及びその製造方法の第 2 従来例を示している。この第 2 従来例では、図 6 (a) に示す様に、図 5 に示した第 1 従来例と同様に多結晶 Si 膜 15 から成るゲート電極までを形成した後、SiO₂ 膜 21 と Si₃N₄ 膜 22 とを順次に堆積させ、Si₃N₄ 膜 22 及び SiO₂ 膜 21 を異方性エッチングして、これら SiO₂ 膜 21 及び Si₃N₄ 膜 22 の 2 層から成る側壁絶縁膜を形成する。

【0007】 その後、再び、図 5 に示した第 1 従来例と同様に、図 6 (b) に示す様に不純物領域 17 の形成とフッ酸系の薬液による自然酸化膜のエッチングとを行い、図 6 (c) に示す様に高融点金属シリサイド膜 18 を形成する。そして、層間絶縁膜 23、コンタクト孔 24、コンタクト補償用の不純物領域 25 及びプラグ 26 等を形成して、この MOS トランジスタを完成させる。

【0008】

【発明が解決しようとする課題】 ところが、図 5 に示した第 1 従来例では、ゲート電極の側壁絶縁膜が SiO₂ 膜 16 のみから成っているので、図 5 (b) に示した様に、Si 基板 11 及び多結晶 Si 膜 15 の各々の表面の自然酸化膜（図示せず）をエッチングするためのフッ酸系の薬液で SiO₂ 膜 16 もエッチングされる。

【0009】 このため、多結晶 Si 膜 15 及びこの多結晶 Si 膜 15 の表面に形成した高融点金属シリサイド膜 18 から成るゲート電極と Si 基板 11 の表面に形成した高融点金属シリサイド膜 18 とが短絡する危険性が高く、第 1 従来例の MOS トランジスタでは信頼性が必ずしも高くなかった。

【0010】 これに対して、図 6 に示した第 2 従来例では、ゲート電極の側壁絶縁膜が下層の SiO₂ 膜 21 と上層の Si₃N₄ 膜 22 との 2 層から成っており、下記の表 1 に示す様に Si₃N₄ 膜は SiO₂ 膜に比べてフッ酸系の薬液でエッチングされにくいので、フッ酸系の薬液で自然酸化膜をエッチングしても、側壁絶縁膜はエッチングされにくい。

【0011】このため、第2従来例のMOSトランジスタは第1従来例のMOSトランジスタよりも信頼性が高い。なお、下記の表1において、希フッ酸とはHF:H₂O=1:100の溶液であり、緩衝フッ酸とはHF:フッ化アンモニウム=1:400の溶液である。また、

各々の膜には、形成後に800℃、10分間の熱処理を施してある。

【0012】

【表1】

フッ酸系の薬液によるエッチング速度 (nm/分)		
膜の種類	希フッ酸	緩衝フッ酸
SiO ₂ 膜 (熱酸化)	3.3	3.5
SiO ₂ 膜 (SiH ₄ 、常圧CVD)	10.7	6.7
SiO ₂ 膜 (O ₂ +TEOS、常圧CVD)	12.6	6.8
SiO ₂ 膜 (TEOS、減圧CVD)	19.8	6.8
Si, N _x 膜 (減圧CVD)	<1.0	<0.5
多結晶Si膜 (減圧CVD)	<0.5	1.7

【0013】しかも、図6に示した第2従来例では、Si基板11の表面に接しているのがSiO₂膜21であってSi, N_x膜22ではないので、Si基板11に生じる応力が少なくてSi基板11に結晶欠陥が生じにくく、また、SiO₂膜はSi, N_x膜よりもバンドギャップが広くてエネルギー障壁が高いためにホットキャリア耐性が高い。このため、側壁絶縁膜がSi, N_x膜のみから成っている構造に比べて信頼性が高い。

【0014】ところが、PMOSTランジスタの不純物領域17を形成するために例えばフッ化ボロンをイオン注入してフッ素がSi基板11中や多結晶Si膜15中に混入すると、シリサイド化反応が抑制されて低抵抗の高融点金属シリサイド膜18を形成することが困難になる。このため、犠牲酸化膜を全面に形成した状態でフッ化ボロンをイオン注入することが考えられているが、この場合は、高融点金属膜の堆積に先立ってこの犠牲酸化膜をもエッチングしておく必要がある。

【0015】また、Si基板11及び多結晶Si膜15の各々の表面に非晶質層を形成してシリサイド化反応を促進するためにこれらの表面にイオン注入を行うことも考えられているが、このイオン注入時のノックオン効果によって酸素がSi基板11中や多結晶Si膜15中に混入すると、シリサイド化反応が却って抑制される。このため、非晶質層を形成するためのイオン注入に先立って酸化膜をエッチングしておく必要がある。

【0016】つまり、高融点金属シリサイド膜18を形成するためには、高融点金属シリサイド膜を有しない半導体装置に比べてフッ酸系の薬液によるエッチングを特に十分に行う必要がある。

【0017】しかし、フッ酸系の薬液によるエッチング速度には、Si基板11の面内ではばらつきがある。また、CMOSTランジスタのうちのPMOSTランジスタ領域でのみ上述の様に犠牲酸化膜を介してイオン注入

を行うと、PMOSTランジスタ領域の犠牲酸化膜の膜質が劣化して、NMOSTランジスタ領域よりもPMOSTランジスタ領域で犠牲酸化膜のエッチング速度が速くなる。

【0018】このため、高融点金属シリサイド膜18を形成するためにフッ酸系の薬液によるエッチングを十分に行うと、エッチングの速い領域において、図6(b)に示す様に、Si基板11とSi, N_x膜22との間及び多結晶Si膜15とSi, N_x膜22との間から露出しているSiO₂膜21が過剰にエッチングされ、ゲート酸化膜であるSiO₂膜14もエッチングされる可能性がある。従って、第2従来例のMOSTランジスタでも信頼性が十分には高くなかった。

【0019】逆に、もし、フッ酸系の薬液によるエッチングを十分に行わなければ、低抵抗の高融点金属シリサイド膜18を形成することができなくて、特性の優れたMOSTランジスタを製造することができない。

【0020】一方、図6(c)に示した様に、不純物領域17に対するコンタクト孔24を層間絶縁膜23に開孔する際に合わせずれが生じると、高融点金属シリサイド膜18をエッチングのストッパにしている、フィールド酸化膜であるSiO₂膜12の端縁部12aがエッチングされる可能性がある。

【0021】そして、もし、このままでコンタクト孔24をプラグ26で埋めると、プラグ26とウェル13とが短絡する。このため、図6(c)に示した様に、ソース・ドレイン領域としての不純物領域17と同一導電型の不純物領域25をコンタクト補償用に形成している。

【0022】しかし、CMOSTランジスタにコンタクト補償用の不純物領域25を形成するためには、NMOSTランジスタ領域及びPMOSTランジスタ領域の各々に覆うレジストを形成するためのフォトリソグラフィと、各々の領域に対するイオン注入と、各々の領域の

20

30

40

50

レジストの剥離と、イオン注入した不純物の活性化熱処理との合計7工程が必要である。このため、第1及び第2従来例のMOSトランジスタでは、製造コストが高かった。

【0023】なお、合わせずれが生じてもSiO₂膜12の端縁部12aがエッチングされない様に素子活性領域に合わせ余裕を確保しておけば、コンタクト補償用の不純物領域25を形成する必要はないが、その場合は、MOSトランジスタの微細化が困難になる。

【0024】従って、本願の発明は、自然酸化膜等の不要な酸化膜をエッチングするための薬液処理を十分に行ってもゲート酸化膜のエッチングを防止することができるので、信頼性が高く特性も優れており、また、コンタクト補償用のイオン注入やイオン注入した不純物の活性化熱処理等の工程を実行する必要がなく、素子活性領域に合わせ余裕を確保しておく必要もないので、製造コストが低く微細化も可能な半導体装置及びその製造方法を提供することを目的としている。

【0025】

【課題を解決するための手段】請求項1に係る半導体装置は、ゲート電極の側面と前記ゲート電極の側部における半導体基板の表面とを覆う側壁絶縁膜が、少なくとも前記表面に接している酸化膜と、この酸化膜を覆っている窒化膜とを有していることを特徴としている。

【0026】この様に、請求項1に係る半導体装置では、側壁絶縁膜の酸化膜が半導体基板の表面に接しているので、側壁絶縁膜の窒化膜のみが半導体基板の表面に接している構造に比べて、半導体基板に生じる応力が少なく、半導体基板に結晶欠陥が生じにくい。また、酸化膜は窒化膜よりもバンドギャップが広くてエネルギー障壁が高いので、側壁絶縁膜の窒化膜が半導体基板の表面に接している構造に比べて、ホットキャリア耐性が高い。

【0027】しかも、側壁絶縁膜の酸化膜を側壁絶縁膜の窒化膜が覆っていて側壁絶縁膜の露出面が窒化膜であるので、酸化膜をエッチングするための薬液を使用しても、ゲート酸化膜への薬液の浸潤を側壁絶縁膜の窒化膜で防止することができる。このため、自然酸化膜等の不要な酸化膜をエッチングするための薬液処理を十分に行うことができ、薬液処理を十分に行ってもゲート酸化膜のエッチングを防止することができる。

【0028】請求項2に係る半導体装置は、請求項1に係る半導体装置において、フィールド酸化膜のうちで素子活性領域に臨む端縁部を窒化膜が覆っていることを特徴としている。

【0029】この様に、請求項2に係る半導体装置では、フィールド酸化膜のうちで素子活性領域に臨む端縁部を窒化膜が覆っているため、素子活性領域に対するコンタクト孔を層間絶縁膜に開孔する際に合わせずれが生じても、窒化膜がエッチングのストッパになって、フィ

ールド酸化膜のエッチングが防止される。このため、コンタクト補償用のイオン注入やイオン注入した不純物の活性化熱処理等の工程を実行する必要がなく、素子活性領域に合わせ余裕を確保しておく必要もない。

【0030】請求項3に係る半導体装置の製造方法は、ゲート電極の側面と前記ゲート電極の側部における半導体基板の表面とに接する酸化膜と、この酸化膜の前記側面及び前記表面とは反対の面に接する第1の窒化膜とを形成する工程と、前記酸化膜に等方性エッチングを施して、前記第1の窒化膜と前記半導体基板との間及び前記第1の窒化膜と前記ゲート電極との間に溝を形成する工程と、前記等方性エッチングの後に、第2の窒化膜を堆積させて前記溝を埋める工程と、前記第2の窒化膜に異方性エッチングを施して、前記溝内に前記第2の窒化膜を残す工程とを具備することを特徴としている。

【0031】この様に、請求項3に係る半導体装置の製造方法では、酸化膜に等方性エッチングを施して第1の窒化膜と半導体基板との間及び第1の窒化膜とゲート電極との間に溝を形成し、この溝内に第2の窒化膜を残しているため、ゲート電極の側面とゲート電極の側部における半導体基板の表面とに接する酸化膜を窒化膜が覆っていて露出面が窒化膜である側壁絶縁膜を形成することができる。

【0032】請求項4に係る半導体装置の製造方法は、請求項3に係る半導体装置の製造方法において、素子活性領域に臨む端縁部が段差部になっているフィールド酸化膜を形成する工程と、前記異方性エッチングによって前記端縁部を覆う前記第2の窒化膜を残す工程とを具備することを特徴としている。

【0033】この様に、請求項4に係る半導体装置の製造方法では、端縁部が段差部になっているフィールド酸化膜を形成しているが、この様なフィールド酸化膜は選択酸化法によって容易に形成することができる。また、端縁部を覆う第2の窒化膜を異方性エッチングによって残しているが、端縁部が段差部になっているため、この端縁部に自己整合的に第2の窒化膜を残すことができる。これらのために、フィールド酸化膜の端縁部を覆う第2の窒化膜を容易に形成することができる。

【0034】

【発明の実施の形態】以下、不純物領域及びゲート電極の各々の表面に高融点金属シリサイド膜を有するMOSトランジスタ及びその製造方法に適用した本願の発明の一実施形態を図1～4を参照しながら説明する。

【0035】図1が、本実施形態のMOSトランジスタを示している。このMOSトランジスタを製造するためには、図2(a)に示す様に、温度が950℃程度のウェット酸化を行うLOCOS法によって、Si基板31の表面にフィールド酸化膜としてのSiO₂膜22を形成する。LOCOS素子分離の代わりに、トレンチ素子分離等を用いてもよい。

【0036】その後、ウェル33を形成したり、MOSトランジスタのソース・ドレイン領域間のパンチスルーを抑制するための埋め込み層（図示せず）を形成したり、MOSトランジスタの閾値電圧を調整したりするための不純物のイオン注入等を行う。

【0037】次に、図2(b)に示す様に、 H_2/O_2 を用いる850℃程度の温度のバイロジェニック酸化等によって、 SiO_2 膜22に囲まれている素子活性領域の表面に、厚さが5nm程度の SiO_2 膜34をゲート酸化膜として形成する。そして、多結晶 Si 膜35を全面に堆積させ、従来公知のフォトリソグラフィ及び異方性エッチングによって、多結晶 Si 膜35から成るゲート電極を形成する。

【0038】次に、図2(c)に示す様に、下記の条件の常圧CVD法または減圧CVD法で、厚さが5~30nm程度の SiO_2 膜36を堆積させ、引き続き、図2(d)に示す様に、下記の条件で、厚さが50~200nm程度の Si, N 膜37を堆積させる。

【0039】常圧CVD法による SiO_2 膜の形成条件
ガス： $SiH_4/O_2 = 15 \sim 50 / 300 \sim 1000$ scccm

温度：380~500℃

圧力：常圧

【0040】減圧CVD法による SiO_2 膜の形成条件
ガス： $TEOS = 100 \sim 1000$ scccm

温度：600~800℃

圧力：50~150Pa

【0041】 Si, N 膜の形成条件（減圧CVD法の場合）

ガス： $SiH_4/Cl_2/NH_3 = 1 : 10$ の比率程度

温度：650~800℃

圧力：30~100Pa

【0042】次に、図3(a)に示す様に、下記の条件の異方性エッチングを行って、 SiO_2 膜36及び Si, N 膜37から成る2層構造の側壁絶縁膜を多結晶 Si 膜35に形成する。

【0043】 Si, N 膜のエッチング条件

ガス： $CHF_3/CO = 20/80$ scccm

高周波電力：1500W

圧力：5Pa

【0044】次に、図3(b)に示す様に、希フッ酸や緩衝フッ酸等による等方性エッチングを SiO_2 膜36に施して、 Si 基板31と Si, N 膜37との間及び多結晶 Si 膜35と Si, N 膜37との間に夫々溝38a、38bを形成する。溝38aの幅及び溝38bの深さは10~30nm程度である。なお、このとき、 SiO_2 膜と Si, N 膜とのエッチング速度の違いから、 Si, N 膜37はエッチングされない。

【0045】次に、図3(c)に示す様に、 Si, N 膜37を堆積させたときと同じ条件で、厚さが100~

100nm程度の Si, N 膜41を堆積させる。 Si, N 膜41は表面反応によって形成されるので、溝38bのみならず溝38aも Si, N 膜41で十分に埋められる。

【0046】次に、図3(d)に示す様に、 Si, N 膜37を異方性エッチングしたときと同じ条件で Si, N 膜41を異方性エッチングして、溝38a、38b内に Si, N 膜41を残す。また、LOCOS法で形成した SiO_2 膜32では素子活性領域に臨む端縁部32aが段差部になっているので、 Si, N 膜41の異方性エッチングによって、ストリンガーと称されて端縁部32aを覆う Si, N 膜41も残る。

【0047】次に、図4(a)に示す様に、従来公知のイオン注入及び活性化熱処理によって、ソース・ドレイン領域としての不純物領域42を形成する。なお、このMOSトランジスタがCMOSトランジスタである場合は、60keVの加速エネルギー及び $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で砒素をNMOSトランジスタ領域にイオン注入し、犠牲酸化膜としての SiO_2 膜を全面に形成してから、40keVの加速エネルギー及び $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でフッ化ボロンをPMOSトランジスタ領域にイオン注入する。

【0048】その後、不純物領域42の形成に際して犠牲酸化膜としての SiO_2 膜を形成してある場合はフッ酸系の薬液でこの SiO_2 膜をエッチングし、犠牲酸化膜としての SiO_2 膜を形成していない場合でもフッ酸系の薬液で自然酸化膜をエッチングしてから、砒素等のイオン注入で不純物領域42及び多結晶 Si 膜35の各々の表面に非晶質層（図示せず）を形成する。

【0049】次に、図4(b)に示す様に、フッ酸系の薬液で自然酸化膜をエッチングしてから、厚さが10~100nm程度の Ti 膜や Co 膜等である高融点金属膜43を堆積させる。なお、この高融点金属膜43の堆積に先立ってフッ酸系の薬液による多数回のエッチングを行っているが、これらのエッチングを行う時点では、 SiO_2 膜36が Si, N 膜37、41で完全に覆われていて、 SiO_2 膜36が露出していない。

【0050】このため、十分なオーバエッチングを行っても、 SiO_2 膜36の過剰なエッチングが抑制され、その結果、ゲート酸化膜である SiO_2 膜34へのフッ酸系の薬液の浸潤が防止されて、 SiO_2 膜34のエッチングが防止されている。

【0051】次に、図4(c)に示す様に、従来公知の方法で、不純物領域42及び多結晶 Si 膜35の各々の表面にのみ自己整合的に低抵抗の高融点金属シリサイド膜44を形成する。例えば、2段階熱処理法を用いる場合は、温度が650℃程度の第1段階の熱処理と、アンモニア過水等による未反応の高融点金属膜43の除去と、温度が800℃程度の第2段階の熱処理とを順次に行う。

【0052】次に、図1に示す様に、 SiO_2 膜である層間絶縁膜45を形成し、この層間絶縁膜45の表面を平坦化する。そして、 Si 、 N 、膜に対する SiO_2 膜の選択比が大きな下記の条件のエッチングで、不純物領域42に対するコンタクト孔46を層間絶縁膜45に開孔した後、このコンタクト孔46を埋めるプラグ47等を形成して、このMOSトランジスタを完成させる。

【0053】 Si 、 N 、膜に対する選択比が大きな SiO_2 膜のエッチング条件

ガス： $\text{Ar}/\text{C}_4\text{F}_8/\text{CO}=200/10/50\text{ sccm}$

高周波電力：1500W

圧力：5Pa

【0054】ところで、図1に示した様に、不純物領域42に対するコンタクト孔46を層間絶縁膜45に開孔する際に合わせずれが生じても、 Si 、 N 、膜41がエッチングのストッパになって、フィールド酸化膜である SiO_2 膜32の端縁部32aがエッチングされない。このため、コンタクト補償のための処理を実行する必要がなく、素子活性領域に合わせ余裕を確保しておく必要もない。

【0055】なお、高融点金属シリサイド膜44を有する半導体装置の製造に際しては薬液で酸化膜をエッチングする回数が上述の様に特に多いので本願の発明が特に有効であるが、高融点金属シリサイド膜を有しない半導体装置の製造に際しても薬液で酸化膜をエッチングするので、この様な半導体装置及びその製造方法にも本願の発明を適用することができる。

【0056】

【発明の効果】請求項1に係る半導体装置では、半導体基板に結晶欠陥が生じにくく、ホットキャリア耐性が高く、しかも、薬液処理を十分に行ってもゲート酸化膜のエッチングを防止することができるので、信頼性が高い。また、自然酸化膜等の不要な酸化膜をエッチングするための薬液処理を十分に行うことができるので、特性が優れている。

【0057】請求項2に係る半導体装置では、コンタク

ト補償用のイオン注入やイオン注入した不純物の活性化熱処理等の工程を実行する必要がなく、素子活性領域に合わせ余裕を確保しておく必要もないので、製造コストが低く微細化も可能である。

【0058】請求項3に係る半導体装置の製造方法では、ゲート電極の側面とゲート電極の側部における半導体基板の表面とに接する酸化膜を窒化膜が覆っていて露出面が窒化膜である側壁絶縁膜を形成することができるので、信頼性が高く特性も優れている半導体装置を製造することができる。

【0059】請求項4に係る半導体装置の製造方法では、フィールド酸化膜の端縁部を覆う第2の窒化膜を容易に形成することができるので、製造コストが低く微細化も可能な半導体装置を更に低コストで製造することができる。

【図面の簡単な説明】

【図1】本願の発明の一実施形態による半導体装置の側断面図である。

【図2】一実施形態による半導体装置の製造方法の初期の工程を順次に示す側断面図である。

【図3】一実施形態による半導体装置の製造方法の中期の工程を順次に示す側断面図である。

【図4】一実施形態による半導体装置の製造方法の終期の工程を順次に示す側断面図である。

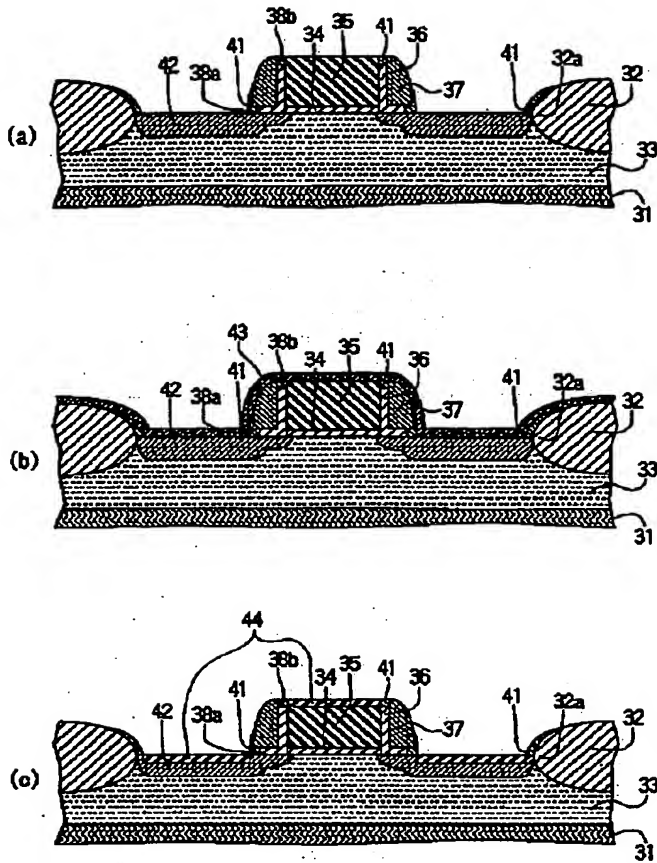
【図5】本願の発明の第1従来例による半導体装置の製造方法の工程を順次に示す側断面図である。

【図6】本願の発明の第2従来例による半導体装置の製造方法の工程を順次に示す側断面図である。

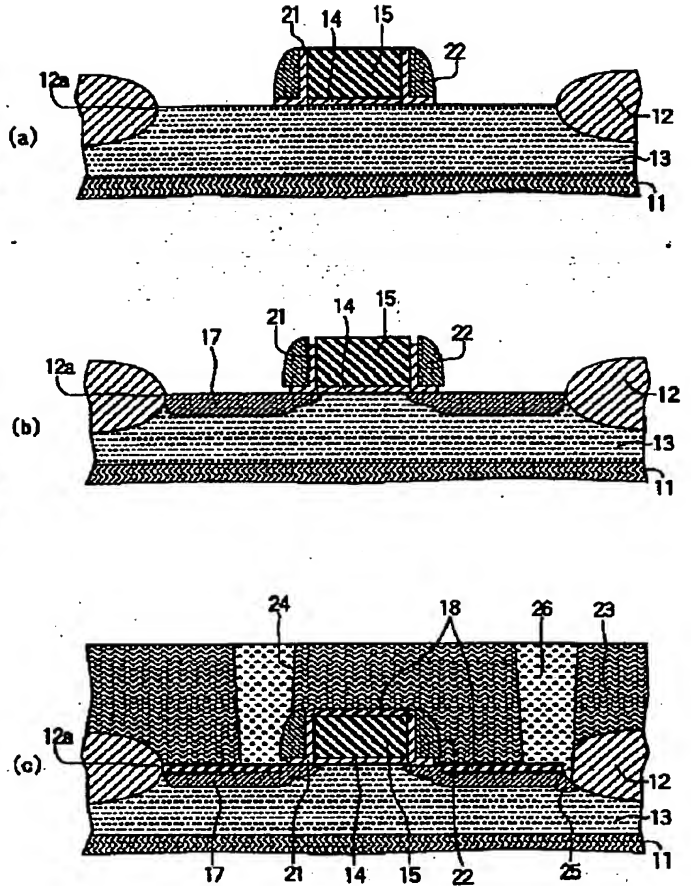
【符号の説明】

31 Si 基板（半導体基板） 32 SiO_2 膜（フィールド酸化膜）
32a 端縁部 35 多結晶 Si 膜（ゲート電極）
36 SiO_2 膜（酸化膜） 37 Si 、 N 、膜（窒化膜、第1の窒化膜）
38a、38b 溝 41 Si 、 N 、膜（窒化膜、第2の窒化膜）

【図 4】



【図 6】



フロントページの続き

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

301 S

301 R